

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**


Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

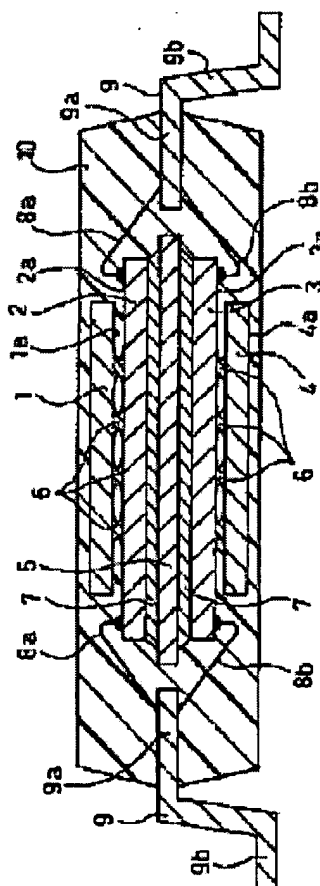
**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE****Patent number:** JP2000101016**Publication date:** 2000-04-07**Inventor:** NAKANISHI HIROYUKI; ISHIO TOSHIYA; IWASAKI YOSHIHIDE; MORI KATSUNOBU**Applicant:** SHARP CORP**Classification:****- International:** H01L25/065; H01L25/07; H01L25/18**- european:****Application number:** JP19980265309 19980918**Priority number(s):****Also published as:** **US2001013643 (A1)****Abstract of JP2000101016**

**PROBLEM TO BE SOLVED:** To facilitate the manufacture of a semiconductor integrated circuit device which maintains the accuracy, by suppressing the quantity of down set of die pads from the reference plane, in the case of providing a package with many semiconductor chips.

**SOLUTION:** For this integrated circuit device, a plurality of semiconductor chips 1-4 are mounted, and these semiconductor chips 1-4 are sealed with a sealing resin layer 10. Then, on both sides of the die pad 5, semiconductor chips 2 and 3 are fixed at the opposite sides from the element formation faces 2a and 3a, and on at least one side of the die pad 5, one pair at least of semiconductor chips 1 and 2, where the element formation faces 1a and 2a are counterposed to each other and the first electrodes made at these element formation faces 1a and 2a are joined with each other by conductive paste material 6 are fixed.



---

Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-101016

(P2000-101016A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 25/065

25/07

25/18

識別記号

F I

H 0 1 L 25/08

テーマコード\* (参考)

B

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平10-265309

(22) 出願日 平成10年9月18日 (1998.9.18)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 中西 宏之

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 石尾 俊也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

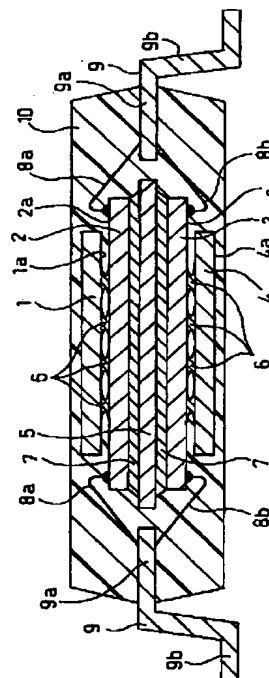
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 多数の半導体チップを1パッケージに設ける場合において、基準面からのダイパッドのダウンセット量を抑制し、精度を維持した半導体集積回路装置の製造を容易にする。

【解決手段】 複数の半導体チップ1～4が搭載され、これら半導体チップ1～4が封止樹脂層10により封止されている。ダイパッド5の両面にそれぞれ半導体チップ2・3がその素子形成面2a・3aとは反対側の面に固定され、ダイパッド5の少なくとも一方側の面には、素子形成面1a・2a同士を対向させ、これら素子形成面1a・2aに形成された第1電極部同士が導電性ペースト材6にて接合されている少なくとも一対の半導体チップ1・2が固定されている。



## 【特許請求の範囲】

【請求項 1】複数の半導体チップが搭載され、これら半導体チップが樹脂層により封止されている半導体集積回路装置において、

ダイパッドの両面にそれぞれ半導体チップがその素子形成面とは反対側の面にて固定され、

前記ダイパッドの少なくとも一方側の面には、素子形成面同士を対向させ、これら素子形成面に形成された第 1 電極部同士が導電性接合材にて接合されている少なくとも一対の半導体チップが固定されていることを特徴とする半導体集積回路装置。

【請求項 2】前記一対をなす半導体チップのうち、前記ダイパッド側に位置する半導体チップの素子形成面の端縁部には、外部との接続用の第 2 電極部が形成され、この第 2 電極部がこの第 2 電極部を備える半導体チップの第 1 電極部と、素子形成面上に形成された配線パターンにより接続されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】前記半導体チップのうち、素子形成面をダイパッド側とは反対側に向けて固定されている複数の半導体チップには、外部との接続用の第 2 電極部が形成され、これら第 2 電極部のうち、共通の信号が与えられる第 2 電極部同士は、外部との接続用の共通のリードに接続されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】前記一対をなす半導体チップの間には、これら半導体チップ間の間隔を一定に保持するスペーサーが設けられていることを特徴とする請求項 1 に記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の半導体集積回路チップを備えた半導体集積回路装置に関するものである。

## 【0002】

【従来の技術】従来から、半導体集積回路チップ（以下、単に半導体チップと称する）を 1 個のみ内蔵する半導体集積回路装置が種々提案されている。この半導体集積回路装置は、例えば特開昭 63-179554 号に開示されており、その構成は、図 10 に示すものとなっている（第 1 従来技術）。この半導体集積回路装置は、通常、以下のようにして製造される。

【0003】先ずリードフレーム（図示せず）に形成されたダイパッド 51 の上に、熱硬化型の銀ペースト 52 により半導体チップ 53 をダイボンディングする。

【0004】次に、溶剤を含有する前記銀ペースト 52 を硬化させ、半導体チップ 53 をダイパッド 51 に固定する。

【0005】次に、半導体チップ 53 の素子形成面（同図では上面）に形成されたボンディングパッド（図示せ

ず）とリードフレームに形成されたリード 54 のインナーリード部 54a とを、金等の細線からなるボンディングワイヤ 55 によってワイヤボンディングする。

【0006】さらに、これらをエポキシ樹脂等の封止樹脂層 56 により封止する。その後、封止樹脂層 56 の樹脂がリード 54 のアウターリード部 54b 間に流れ出さないようにリードフレームに形成されたタイバー（図示せず）や、ダイパッド 51 を保持するために形成されたサポートリード（図示せず）を切断し、アウターリード部 54b を所望の形状に折り曲げて完成品となる。なお、ダイパッド 51 における素子形成面とは反対側の面には、樹脂被膜 58 がコーティングされている。

【0007】一方、近年の IC の高密度化、薄型化の要求に対応し、上記半導体集積回路装置を進展させた構成が提案されている。この半導体集積回路装置は、実開昭 62-147360 号および特開平 8-213412 号に開示されており、図 11 に示すように、ダイパッド 51 の表裏の面に半導体チップ 53a・53b を搭載したのとなっている（第 2 従来技術）。

【0008】上記半導体集積回路装置において、半導体チップ 53a・53b は裏面（半導体チップ 53a・53b の素子形成面とは反対側の面）同士がダイパッド 51 を介して互に対向するように配されている。この半導体集積回路装置は、以下のようにして製造される。

【0009】先ず、半導体チップ 53a・53b を、素子形成面同士が互いに外方を向くように、前記銀ペースト 52 によりダイパッド 51 の両面に接合（ダイボンディング）した後、銀ペースト 52 を硬化させる。

【0010】次に、半導体チップ 53a・53b の各素子形成面に形成されたボンディングパッドとインナーリード部 54a とを、金等の細線からなるボンディングワイヤ 55 によってそれぞれワイヤボンディングする。その後の封止樹脂層 56 による封止、前記タイバーおよびサポートリードの切断、並びにアウターリード部 54b の折り曲げの各工程については前述の場合と同様である。

【0011】半導体チップを積層している他の半導体集積回路装置には、特公昭 58-45822 号に開示されているものがある。この半導体集積回路装置は、図 12 に示すように、2 個の半導体チップ 53c・53d を備え、半導体チップ 53c が素子形成面とは反対側の面にて銀ペースト 52 によりダイパッド 51 に接合されるとともに、半導体チップ 53c・53d が素子形成面を対向させた状態で導電性接合材 59 により互いにワイヤレスボンディングされている。そして、インナーリード部 54a と半導体チップ 53c とがワイヤボンディングされている（第 3 従来技術）。

【0012】半導体チップを積層しているさらに他の半導体集積回路装置には、特開平 5-90486 号および特開平 9-186289 号に開示されているものがある

10

20

30

40

50

る。この半導体集積回路装置は、素子形成面が上向きになっている半導体チップと素子形成面が下向きになっている半導体チップとを交互に重ねていった構造を有している。この構造において、素子形成面が互いに向き合っている半導体チップ同士はバンパにて互いに接合され、素子形成面が上向きになっている半導体チップに形成されたボンディングパッドは外部との接続端子となっている（第4従来技術）。

#### 【0013】

【発明が解決しようとする課題】今日の半導体集積回路装置の大半は、半導体チップあるいは半導体チップ群を被覆、即ち封止するように、熱で溶融したエポキシ樹脂を金型内において射出成形することにより形成されており、外観が標準化された定型パッケージとなっている。

【0014】また、一般に半導体チップは、リードフレーム内において半導体チップを固定するためにパターン化されて形成された領域、即ちダイパッドに固定されている。このダイパッドに対しては、上記射出成形の際に封止用樹脂の流動化バランスを安定化させるため、基準面からダイパッドを下方に移動させるダウンセットが行われる。前記の第3従来技術の場合、積層された半導体チップの数が2個であるから、積層された半導体チップ群の総厚の半分程度だけダイパッドを基準面からダウンセットすれば、半導体チップ群を容易にパッケージングすることが可能である。

【0015】一方、前記第4従来技術の構造では、基準面から一方向、即ち上方向へ2個を越える半導体チップが積層されている。この半導体チップの積層体が半導体集積回路装置内において固定される際には、最下部の半導体チップの裏面のみがダイパッドと接合される。したがって、半導体チップの積層体を前記ダイパッドを有するリードフレームに搭載する場合には、ダイパッドのダウンセット量を大きくする必要があり、精度を維持した半導体集積回路装置の製造が困難である。

【0016】そこで、半導体チップ厚を薄くしてダウンセット量を抑えることも考えられるが、半導体チップ厚を薄くするためには、半導体チップを形成するウエハーを薄くしなければならない。そして、今日大型化しているウエハーをより薄くすることは、取り扱い上において割れや欠け等を生じ易くなるため、困難である。

【0017】また、機能が同じ半導体チップを積層する場合、共通信号線なるべく相互接続して外部に導き出す信号線を少なくすることが好ましいものの、このような構成とする場合には各半導体チップ毎に相互接続できるように電極パッドの配置を決定する必要があり、設計が複雑化するという問題点を招来する。

【0018】また、半導体チップの積層体を樹脂で封止する構成において、積層された半導体チップの間隔のばらつきおよび平衡度は、半導体集積回路装置に内蔵される半導体チップの数が多きほど、あるいは半導体集積回

路装置の厚さが薄いほど悪化し易い。これを抑制するためには、半導体チップの間隔において高い寸法精度を維持する必要がある。

#### 【0019】

【課題を解決するための手段】上記の課題を解決するために、請求項1の発明の半導体集積回路装置は、複数の半導体チップが搭載され、これら半導体チップが樹脂層により封止されている半導体集積回路装置において、ダイパッドの両面にそれぞれ半導体チップがその素子形成面とは反対側の面にて固定され、前記ダイパッドの少なくとも一方側の面に、素子形成面同士を対向させ、これら素子形成面に形成された第1電極部同士が導電性接合材にて接合されている少なくとも一対の半導体チップが固定されていることを特徴としている。

【0020】請求項1の構成によれば、ダイパッドの両面にそれぞれ半導体チップが固定され、前記ダイパッドの少なくとも一方側の面に、素子形成面同士を対向させ、これら素子形成面に形成された第1電極部同士が導電性接合材にて接合されている少なくとも一対の半導体チップが固定されているので、複数の半導体チップはダイパッドを中心としてダイパッドの両側に分散され、かつ複数の半導体チップが、それらの積層方向に嵩張ることを抑制され、かつ効率よく設けられている。

【0021】したがって、多数の半導体チップを1パッケージに設ける場合において、基準面からのダイパッドのダウンセット量が抑制され、精度を維持した半導体集積回路装置の製造が容易である。

【0022】請求項2の発明の半導体集積回路装置は、請求項1の発明の半導体集積回路装置において、前記一対をなす半導体チップのうち、前記ダイパッド側に位置する半導体チップの素子形成面の端縁部に、外部との接続用の第2電極部が形成され、この第2電極部がこの第2電極部を備える半導体チップの第1電極部と、素子形成面上に形成された配線パターンにより接続されていることを特徴としている。

【0023】請求項2の構成によれば、請求項1の発明の作用に加え、一対をなす半導体チップと外部との接続を良好に行い得るとともに、第1および第2電極部の配置の設計が容易である。

【0024】請求項3の発明の半導体集積回路装置は、請求項1の発明の半導体集積回路装置において、前記半導体チップのうち、素子形成面をダイパッド側とは反対側に向けて固定されている複数の半導体チップに、外部との接続用の第2電極部が形成され、これら第2電極部のうち、共通の信号が与えられる第2電極部同士が、外部との接続用の共通のリードに接続されていることを特徴としている。

【0025】請求項3の構成によれば、請求項1の発明の作用に加え、素子形成面をダイパッド側とは反対側に向けて固定されている複数の半導体チップの第2電極部

のうち、共通の信号が与えられる第2電極部同士が外部との接続用の共通のリードに接続されているので、前記リードの数を減らすことができる。特に、前記半導体チップとして機能が同じ半導体チップが設けられている場合、前記リードの数を大幅に減らすことができる。この結果、半導体集積回路装置は、構成が簡素化して低コストとなり、また設計が容易となる。

【0026】請求項4の発明の半導体集積回路装置は、請求項1の発明の半導体集積回路装置において、前記一対をなす半導体チップの間に、これら半導体チップ間の間隔を一定に保持するスペーサーが設けられていることを特徴としている。

【0027】請求項4の構成によれば、請求項1の発明の作用に加え、半導体チップの積層体を樹脂で封止する構成において、積層された半導体チップの間隔のばらつきおよび平衡度を改善することができる。この結果、半導体集積回路装置の樹脂封止が容易となり、かつ良質の半導体集積回路装置を得ることができる。

【0028】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態を図1ないし図5に基づいて以下に説明する。本実施の形態の半導体集積回路装置は、図1ないし図3に示す構成を有している。なお、図1は半導体集積回路装置の縦断面図であり、図2は半導体集積回路装置の透視図としての斜視図であり、図3は平面図である。

【0029】この半導体集積回路装置は、ダイパッド5の上面側に半導体チップ1・2を有し、ダイパッド5の下面側に半導体チップ3・4を有している。半導体チップ1～4は、図4および図5に示すように、長方形の板状をなし、半導体チップ1と半導体チップ2および半導体チップ3と半導体チップ4とが、それぞれ、互いに活性面である素子形成面1a・2aおよび3a・4aを対向させた状態で、交差するように設けられている。

【0030】半導体チップ1・2には、図4に示すように、素子形成面1a・2aの中央部付近に、多数の第1電極パッド1b・2b（第1電極部）が形成されている。また、素子形成面1a・2aには、長手方向の端縁部に沿って、ワイヤーボンディング用の多数の第2電極パッド1c・2c（第2電極部）が形成されている。これら第2電極パッド1c・2cと上記第1電極パッド1b・2bとは、素子形成面1a・2a上に形成された導電性の配線パターン1d・2dにより接続されている。なお、上記第1電極パッド1b・2b、第2電極パッド1c・2cおよび配線パターン1d・2dは、素子形成面1a・2a上に設けられた絶縁層（図示せず）の上に形成されている。

【0031】上記半導体チップ1・2は、図1に示すように、電極パッド1b・2b同士を導電性ペースト材6により接合することにより、互いに電気的に接続されかつ接合されている。このような、第1電極パッド1b・

2b、第2電極パッド1c・2cおよび配線パターン1d・2dを有する構成、並びに半導体チップ1・2を接合した構成は、半導体チップ3・4においても同様であり、半導体チップ3・4は、図5に示すように、第1電極パッド3b・4b（第1電極部）、第2電極パッド3c・4c（第2電極部）および配線パターン3d・4dを有している。また、半導体チップ1・2の積層体は第1積層体11を構成し、半導体チップ3・4の積層体は第2積層体12を構成している。

【0032】半導体チップ2は、素子形成面2aとは反対側の面がダイアタッチ材7によりダイパッド5に接合されることによりダイパッド5の上面に固定され、同様に、半導体チップ3は、素子形成面とは反対側の面がダイアタッチ材7によりダイパッド5に接合されることによりダイパッド5の下面に固定されている。

【0033】半導体チップ2の第2電極パッド2cは、ボンディングワイヤとしての金線8aにてインナーリード部9aとアウターリード部9bとを有するリード9のインナーリード部9aと接続されている。同様に、半導体チップ3の第2電極パッド3cは、金線8bにてリード9のインナーリード部9aと接続されている。

【0034】そして、半導体チップ1～4およびダイパッド5からなる積層体、金線8a・8b、並びにリード9のインナーリード部9aは、封止樹脂層10によって封止されている。

【0035】ここで、本半導体集積回路装置において、リード9とワイヤボンディングされていない例えば半導体チップ1の電気信号は、第1電極パッド1b、導電性ペースト材6および第1電極パッド2bを介して全て半導体チップ2内の回路に伝送可能である。即ち、本半導体チップでは、半導体チップ1と半導体チップ2とが共通の電気信号（以下、共通信号と称する）を有しているので、その共通信号に対応する第1電極パッド1b・2b同士を電気的に接続し、半導体チップ1・2でリード9にワイヤボンディングされている半導体チップ2の第2電極パッド2cを共有している。このような第2電極パッド2cを共有する半導体チップ1・2同士の関係は、半導体チップ3・4においても同様である。

【0036】上記のような構成により、例えば半導体チップ1・2からなる第1積層体11において、この第2電極パッド1cとリード9とのワイヤボンディングは不要となる。この結果、半導体集積回路装置の構成が簡素化され、その製造が容易となる。

【0037】また、本半導体集積回路装置では、ダイパッド5の両側に複数の半導体チップ、即ち半導体チップ1・2と半導体チップ3・4とが分散して設けられ、かつ複数の例えば半導体チップ1・2が、前記第1電極パッド1b・2b同士の接合構造により、それらの積層方向に嵩張ることを抑制され、かつ効率よく設けられている。したがって、多数の半導体チップ、即ち半導体チッ

10

20

30

40

50

ブ 1~4 を 1 パッケージに設ける場合において、基準面からのダイパッド 5 のダウンセット量が抑制され、精度を維持した半導体集積回路装置の製造が容易である。

【0038】また、本半導体集積回路装置では、半導体チップ 1・2 からなる第 1 積層体 11 と半導体チップ 3・4 からなる第 2 積層体 12 との間においても共通信号を有しているので、その共通信号に対応する第 2 電極パッド 2c と第 2 電極パッド 3c とを同一のインナーリード部 9a にそれぞれワイヤボンディングしている。この場合、半導体チップ 2 の第 2 電極パッド 2c はインナー

リード部 9a の上面と、半導体チップ 3 の第 2 電極パッド 3c はインナーリード部 9a の下面とワイヤボンディングされている。したがって、半導体チップ 2 と半導体チップ 3 とでリード 9 を共有している。これにより、本半導体集積回路装置では、リード 9 の数を減少させることができ、半導体集積回路装置のパッケージを小型化することができる。

【0039】ここで、本半導体集積回路装置が備える 4 個の半導体チップ 1~4 が全て同じ機能を有するメモリ IC、例えば 1 チップあたり  $n$ -bits の容量のフラッシュメモリであるとすれば、本半導体集積回路装置は、パッケージ単体として  $4n$ -bits 容量のフラッシュメモリとなるものの、アウターリードの本数は  $n$ -bits 容量の場合の 4 倍分必要としない。これは、入力信号およびアドレス信号等の定義された各信号を、共通信号として各 1 本のリード 9 にて外部に引き出すことができるからである。ただし、どのメモリ IC にデータを書き込むか、あるいは消去するかを選択するためには、半導体チップ 1~4 を選択するためのチップセレクト端子としてのリード 9 が複数本必要であり、これらを共通信号線として共有することはできない。

【0040】なお、本半導体集積回路装置においては、半導体チップ 1~4 のチップ厚を 0.15mm、第 1 積層体 11 および第 2 積層体 12 における半導体チップ 1 と 2 および半導体チップ 3 と 4 のチップ間隔を 0.05mm、ダイパッド 5 を構成するリードフレーム厚を 0.125mm、半導体チップ 2・3 とダイパッド 5 とを接合するダイアタッチ材 7 の厚さを 0.02mm とした。これにより、4 個の半導体チップ 1~4 をボディ厚 1mm の TSOP (Thin Small Outline Package) に収納することができ、小型かつ薄型の大容量メモリパッケージを得ることができた。

【0041】上記の構成において、本半導体集積回路装置の製造方法を以下に説明する。まず、ダイシングによりウエハーから分離した半導体チップ 2 を素子形成面 2a が上を向くように配し、その第 1 電極パッド 2b にディスペンサーにて導電性ペースト材 6 を塗布する。

【0042】次に、ダイシングによりウエハーから分離した半導体チップ 1 を、フリップチップボンダーにより素子形成面 1a が下を向く状態で前記半導体チップ 2 上

に位置合わせして配し、半導体チップ 1 の第 1 電極パッド 1b と半導体チップ 2 の第 1 電極パッド 2b とを前記導電性ペースト材 6 にて接合する。このとき、半導体チップ 1・2 を上記のように重ね合わせた状態にてオープン内にてキュアし、導電性ペースト材 6 を硬化させる。これにより、半導体チップ 1・2 からなる第 1 積層体 11 を得る。

【0043】次に、上記の手順と同様にして、半導体チップ 3・4 からなる第 2 積層体 12 を得る。

10 【0044】次に、ダイパッド 5 の上面にディスペンサーにてダイアタッチ材 7 を塗布し、ダイボンダにより第 1 積層体 11 を半導体チップ 2 の素子形成面 2a が上を向く状態で上記ダイアタッチ材 7 上に配し、ダイアタッチ材 7 がダイパッド 5 上で薄く広がるようにスクラブをかける。その後、ダイアタッチ材 7 を硬化させるためにオープン内でキュアを行い、第 1 積層体 11 をダイパッド 5 に固定する。

【0045】次に、リードフレームを上下反転させて、上記の手順と同様にして、ダイアタッチ材 7 の裏面に第 2 積層体 12 を固定する。

【0046】ここで、ダイパッド 5 への第 1 積層体 11・12 の固定は、ダイアタッチ材 7 に行っているものの、ポリイミドフィルムを介してダイパッド 5 に第 1 積層体 11・12 を熱圧着する方法も採用可能である。

【0047】次に、ワイヤボンダにより、半導体チップ 2 の第 2 電極パッド 2c と所定のインナーリード部 9a の上面とを金線 8a にて接続する。そして、リードフレームを上下反転させて、同様に、半導体チップ 3 の第 2 電極パッド 3c と所定のインナーリード部 9a の下面とを金線 8b にて接続する。

30 【0048】次に、モールドリング装置を使用して、第 1 積層体 11・12、ダイパッド 5 およびインナーリード部 9a を、これらが被覆されるようにエポキシ樹脂により封止する。そしてこの封止体をオープン内でキュアし、封止樹脂層 10 となる前記エポキシ樹脂を硬化させる。

【0049】最後に、前記エポキシ樹脂の漏れ出しを防止するために設けられていたアウターリード部 9b 間のダムパターンを金型で打ち抜く。さらに、リードフレームから半導体集積回路装置のパッケージとして最終製品となる部分を金型で打ち抜き、アウターリード部 9b を所定の形状に金型で折り曲げて半導体集積回路装置を完成する。

【0050】なお、本実施の形態においては、ダイパッド 5 の一方側の面に一対をなす半導体チップ 1・2 からなる 1 個の第 1 積層体 11 のみが設けられ、ダイパッド 5 の他方側の面に一対をなす半導体チップ 3・4 からなる 1 個の第 2 積層体 12 のみが設けられた構成となっているが、これら第 1 積層体 11 と第 2 積層体 12 はそれぞれ複数個積層されていてもよい。この場合、第 1 積層

体 11・11 間、および第 2 積層体 12・12 間にはダイアタッチ材 7 が設けられる。

【0051】〔実施の形態 2〕本発明の実施の他の形態を図 6 ないし図 9 に基づいて以下に説明する。なお、説明の便宜上、前記の実施の形態に示した部材と同一の機能を有する部材には同一の符号を付記し、その説明を省略する。

【0052】図 6 に示す半導体集積回路装置は、図 1 に示した半導体集積回路装置において、前記半導体チップ 3・4 に代えて半導体チップ 21 を備えた構成となっている。この半導体チップ 21 は、前記半導体チップ 3 と同様、素子形成面 21a とは反対側の面がダイアタッチ材 7 を介してダイパッド 5 と接合されている。また、半導体チップ 21 は、前記半導体チップ 3 の第 2 電極パッド 3c に対応する第 2 電極パッド（図示せず）を素子形成面 21a に備え、この第 2 電極パッドが金線 8b によりインナーリード部 9a の下面に接続されている。半導体チップ 2 と半導体チップ 21 とは、前記共通信号線としてリード 9 を共有している。この半導体集積回路装置の基本的な製造方法は、図 1 に示した半導体集積回路装置と同様である。

【0053】なお、この半導体集積回路装置では、ダイパッド 5 の一方側の面に一対をなす半導体チップ 1・2 からなる 1 個の第 1 積層体 11 のみが設けられた構成となっているが、この第 1 積層体 11 は複数個積層されていてもよい。

【0054】図 7 に示す半導体集積回路装置は、図 6 に示した半導体集積回路装置において、半導体チップ 1 の上にダイアタッチ材 7 を介して半導体チップ 22 が設けられた構成となっている。半導体チップ 21 と半導体チップ 22 とは、それぞれの素子形成面 21a・22a とは反対側の面同士が接合されている。半導体チップ 22 は素子形成面 22a に第 2 電極パッド（図示せず）を備え、この第 2 電極パッドが金線 8c によりインナーリード部 9a の上面に接続されている。半導体チップ 2・21・22 は、前記共通信号線としてリード 9 を共有している。半導体チップ 22 のワイヤボンディングは半導体チップ 2 のワイヤボンディングと同時にされる。

【0055】なお、本半導体集積回路装置のように、下端部に位置する半導体チップ 21 と上端部に位置する半導体チップ 22 との何れもがそれぞれの素子形成面 21a・22a を外方に向けた状態で設けられている場合、ダイボンディングやワイヤーボンディングの際に、半導体チップ 21・22 のうち、ボンディングしている半導体チップとは反対側の半導体チップの素子形成面が治工具類と接触し、その素子形成面を破損する可能性がある。しかしながら、この破損は、弾性体を使用した特開平 8-213412 号、あるいは特開平 8-330508 号に開示されている方法により回避可能である。

【0056】図 8 に示す半導体集積回路装置は、半導体

チップ 1 の素子形成面 1a とは反対側の面、即ち半導体チップ 1 における封止樹脂層 10 との対向面に、例えばポリイミドからなるコーティング樹脂被膜 23 が設けられている。このコーティング樹脂被膜 23 は、半導体チップ 1 と封止樹脂層 10 との間に良好な密着性を得るためのものである。一般に封止樹脂層 10 のモールド後には半導体チップ 1 等と封止樹脂層 10 との間で剥離が生じ易くなっている。

【0057】即ち、半導体チップが積層され、あるいは積層された半導体チップが混載された半導体集積回路装置においては、一般に、物性値の異なる材料が複雑な構造で接触し合っている。この場合、熱変化により局部的に大きな力を受け、異なる材料の界面にて剥離が発生し易くなる。また、封止樹脂は吸湿性が高いので、半導体集積回路装置をプリント基板に実装した際、封止樹脂に吸収された水分が凝集し易い界面にて水蒸気として気化し、その圧力に耐えきれず半導体集積回路装置が破壊されることある。

【0058】このような問題は、上記のコーティング樹脂被膜 23 を設けることにより防止することができる。また、ダイパッド 5 における封止樹脂層 10 との対向面にも、同様の目的でコーティング樹脂被膜 23 が設けられている。

【0059】図 9 の半導体集積回路装置は、図 1 に示した半導体集積回路装置において、半導体チップ 1・4 における素子形成面 1a・4a とは反対側の面に、それぞれコーティング樹脂被膜 23 が設けられている。

【0060】さらに、この半導体集積回路装置では、半導体チップ 1・2 の間、および半導体チップ 3・4 の間に、例えばポリイミドからなるスペーサー 24 が挿入されている。このスペーサー 24 を有することにより、本半導体集積回路装置では、半導体チップ 1・2 同士および半導体チップ 3・4 同士の間隔のばらつき、および平衡度を所定範囲内に保ち、封止樹脂層 10 を成形する際の寸法精度を安定化させている。

【0061】例えば、半導体チップ 1・2 間を 0.05 mm とする場合には、スペーサー 24 の厚さを 0.05 mm とする。なお、スペーサー 24 は、例えば半導体チップ 1・2 をフリップチップボンダで重ね合わせる以前に、片方の半導体チップにディスペンサでポリイミドのワニス塗布し、オープン内でキュアを行って所定の厚さに硬化させることにより形成する。あるいは、予めテープ状になったポリイミドフィルムを適当なサイズに金型で打ち抜いて半導体チップ 1 または 2 に貼り付けてもよい。

【0062】スペーサー 24 は、例えば半導体チップ 1・2 間において、半導体チップ 1・2 同士が重合する領域のなるべく周辺部に設けるのが、半導体チップ 1・2 の間隔の平衡度の精度を高める上において好ましい。但し、第 2 電極パッド 2c を覆ってはならない。

10

20

30

40

50



【0063】また、例えば半導体チップ1・2において、その素子形成面1a・2aに、ダイシングする前、つまりウエハーの状態で、スピコートによりコーティング樹脂被膜25を0.03~0.05mm厚で形成しておく、上記ポリイミドフィルムを適当なサイズに金型で打ち抜いて貼り付ける際、素子形成面2aの破損を防ぐことができる。なお、コーティング被覆材としてポリイミドを使用しているため、上記スピコートの際には、フリップ接合用の第1電極パッド2bおよびワイヤボンディング用の第2電極パッド2cを、コーティング被覆材にて覆われないように、マスキングしておく。

#### 【0064】

【発明の効果】以上のように、請求項1の発明の半導体集積回路装置は、ダイパッドの両面にそれぞれ半導体チップがその素子形成面とは反対側の面に固定され、前記ダイパッドの少なくとも一方側の面に、素子形成面同士を対向させ、これら素子形成面に形成された第1電極部同士が導電性接合材にて接合されている少なくとも一対の半導体チップが固定されている構成である。

【0065】これにより、複数の半導体チップはダイパッドを中心としてダイパッドの両側に分散され、かつ複数の半導体チップが、それらの積層方向に嵩張ることを抑制され、かつ効率よく設けられている。したがって、多数の半導体チップを1パッケージに設ける場合において、基準面からのダイパッドのダウンセット量が抑制され、精度を維持した半導体集積回路装置の製造が容易であるという効果を奏する。

【0066】請求項2の発明の半導体集積回路装置は、請求項1の発明の半導体集積回路装置において、前記一対をなす半導体チップのうち、前記ダイパッド側に位置する半導体チップの素子形成面の端縁部に、外部との接続用の第2電極部が形成され、この第2電極部がこの第2電極部を備える半導体チップの第1電極部と、素子形成面上に形成された配線パターンにより接続されている構成である。

【0067】これにより、請求項1の発明の効果に加え、一対をなす半導体チップと外部との接続を良好に行い得るとともに、第1および第2電極部の配置の設計が容易であるという効果を奏する。

【0068】請求項3の発明の半導体集積回路装置は、請求項1の発明の半導体集積回路装置において、前記半導体チップのうち、素子形成面をダイパッド側とは反対側に向けて固定されている複数の半導体チップに、外部との接続用の第2電極部が形成され、これら第2電極部のうち、共通の信号が与えられる第2電極部同士が、外部との接続用の共通のリードに接続されている構成である。

【0069】これにより、請求項1の発明の効果に加え、リードの数を減らすことができる。特に、前記半導体チップとして機能が同じ半導体チップが設けられてい

る場合、前記リードの数を大幅に減らすことができる。この結果、半導体集積回路装置は、構成が簡素化して低コストとなり、また設計が容易となるという効果を奏する。

【0070】請求項4の発明の半導体集積回路装置は、請求項1の発明の半導体集積回路装置において、前記一対をなす半導体チップの間に、これら半導体チップ間の間隔を一定に保持するスペーサーが設けられている構成である。

【0071】これにより、請求項1の発明の効果に加え、半導体チップの積層体を樹脂で封止する構成において、積層された半導体チップの間隔のばらつきおよび平衡度を改善することができる。この結果、半導体集積回路装置の樹脂封止が容易となり、かつ良質の半導体集積回路装置を得ることができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明の実施の一形態における半導体集積回路装置の縦断面図である。

【図2】図1に示した半導体集積回路装置の内部を透視して示す斜視図である。

【図3】図1に示した半導体集積回路装置の平面図である。

【図4】図1に示した半導体集積回路装置の第1積層体を示す分解斜視図である。

【図5】図1に示した半導体集積回路装置の第1積層体、ダイパッドおよび第2積層体を示す分解斜視図である。

【図6】本発明の実施の他の形態における半導体集積回路装置の縦断面図である。

【図7】本発明の実施のさらに他の形態における半導体集積回路装置の縦断面図である。

【図8】コーティング樹脂被膜が設けられている半導体集積回路装置の縦断面図である。

【図9】本発明の実施のさらに他の形態における半導体集積回路装置の縦断面図である。

【図10】従来の半導体集積回路装置の縦断面図である。

【図11】他の従来の半導体集積回路装置の縦断面図である。

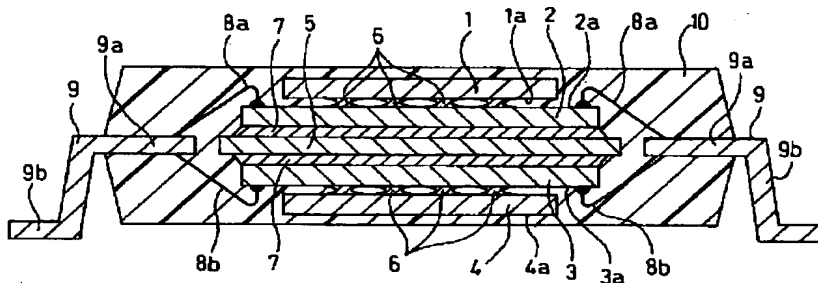
【図12】さらに他の従来の半導体集積回路装置の縦断面図である。

#### 【符号の説明】

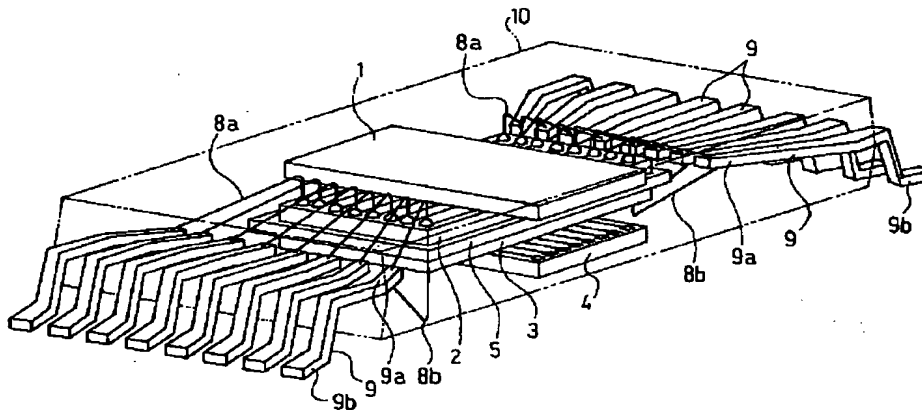
- 1 半導体チップ
- 1a 素子形成面
- 1b 第1電極パッド (第1電極部)
- 1c 第2電極パッド (第2電極部)
- 2 半導体チップ
- 2a 素子形成面
- 2b 第1電極パッド (第1電極部)
- 2c 第2電極パッド (第2電極部)

- |  |   |
|--|---|
| <p>13</p> <p>3 半導体チップ</p> <p>3 a 素子形成面</p> <p>3 b 第1電極パッド (第1電極部)</p> <p>3 c 第2電極パッド (第2電極部)</p> <p>4 半導体チップ</p> <p>4 a 素子形成面</p> <p>4 b 第1電極パッド (第1電極部)</p> <p>4 c 第2電極パッド (第2電極部)</p> <p>5 ダイパッド</p> | <p>14</p> <p>6 導電性ペースト材</p> <p>7 ダイアタッチ材</p> <p>8 a 金線</p> <p>8 b 金線</p> <p>9 リード</p> <p>9 a インナーリード部</p> <p>9 b アウターリード部</p> <p>10 封止樹脂層</p> |
|--|---|

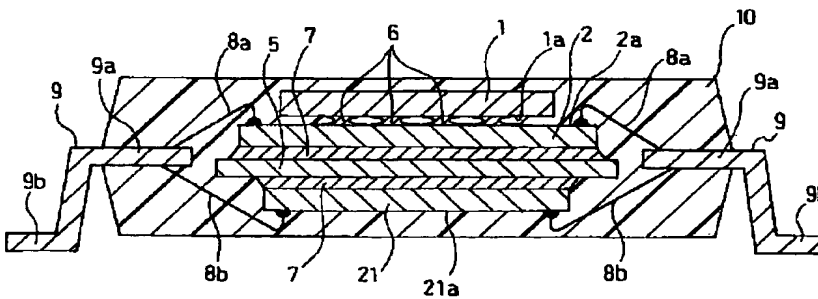
【図1】



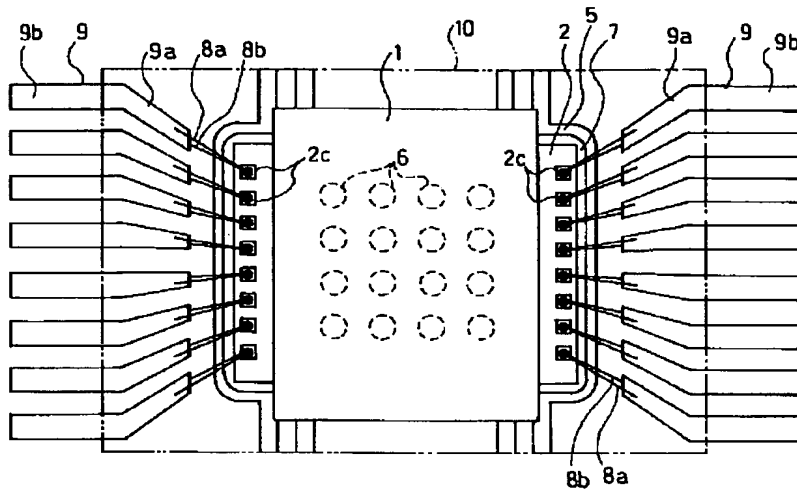
【図2】



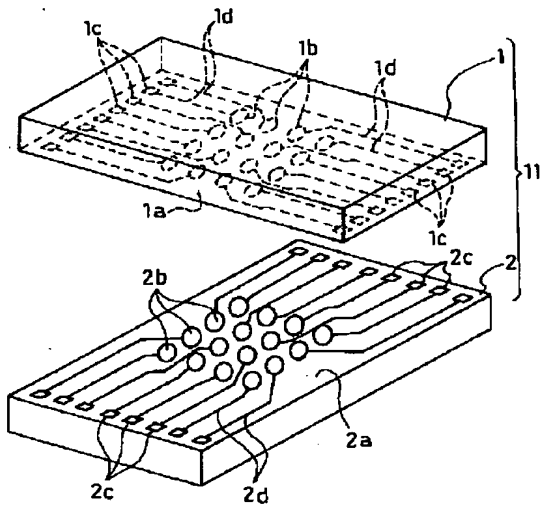
【図6】



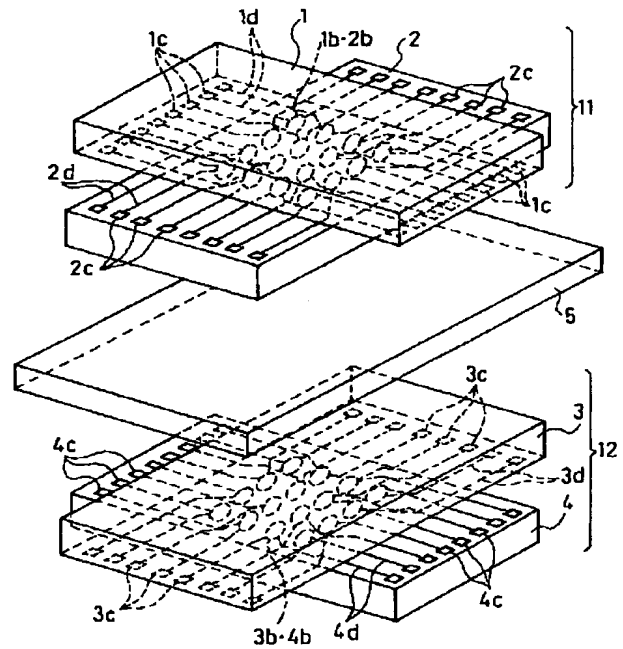
【図 3】



【図 4】

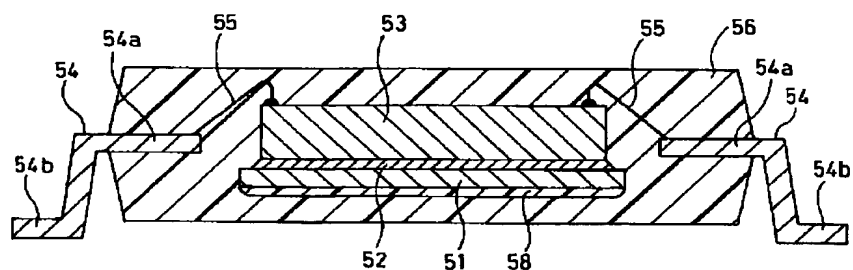


【図 5】

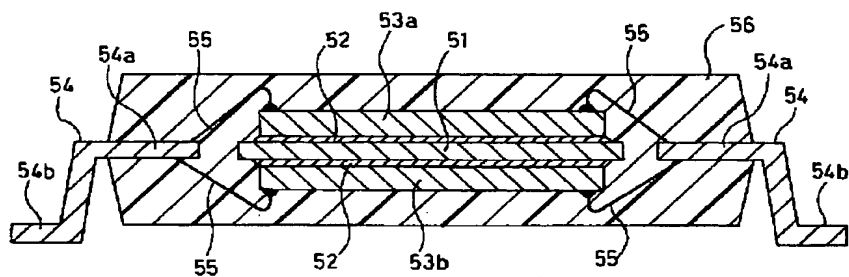




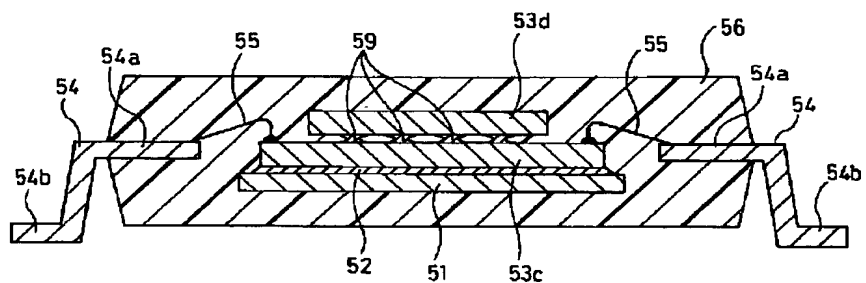
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 岩崎 良英  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 森 勝信  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内